

FPGA DESIGNER, EMBEDDED SOFTWARE DESIGNER, 1 500 ГРН.

🔄 22 січня
2017

📍 Місто: [Харків](#)

Вік: 58 років

Режим роботи: повний робочий день

Категорії:

Додаткова інформація

Особисті якості, хобі, захоплення, навички: Язика програмування: Verilog, SystemVerilog, VHDL, C, Assembler, Tcl
Пакеты програм: Aldec: ActiveHDL, Mentor: ModelSim, QuestaSim, HDL Designer, Synopsys: Synplify, Identify, Xilinx: ISE, EDK, SDK, PlanAhead, Vivado, Vivado HLS, ChipScope, Altera: Quartus, MaxPlusII, Mathworks: Matlab, TI: Code Composer Studio Keil: uVision, Microsoft: Visual C Технологии: PCI, PCIe, 1Gb/10Gb Ethernet, SRIO, Aurora, DDR2, DDR3, QDR II, DPI, VPI, RTOS, TCP/IP, UDP, Reverse Engineering. 1998 - настоящее время
Радиоастрономический Институт Академии наук Украины (<http://radar.kharkov.com>) Руководитель группы Круг основных обязанностей включает: Проектирование, разработку и изготовление цифровых систем управления и систем обработки данных радиоприемных и радиолокационных систем различного применения. Анализ поставленной задачи, моделирование, выбор структуры аппаратной платформы, выбор способов реализации алгоритмов (программной или аппаратной). Разработка интерфейсов управления и обмена данными. Разработка основных модулей FPGA, DSP и MCU проектов. Тестирование блоков, испытания системы в целом, сдача проекта заказчику. Ряд основных проектов выполненных за последние 6 лет: Многоканальная широкополосная система анализа сигналов. Построена на базе на базе VPX модуля HPE72 компании Curtiss-Wright (2x Virtex5SX240T, Freescale MPC8640D DSP). Содержит 1 канал обработки с полосой в 1GHz (2.2 GS/s 8 bit). 3 канала обработки с полосой в 40 MHz (125 MS/s 16 bit). Общий дизайн системы обработки и системы записи. Выбор аппаратной платформы. Дизайн FPGA: модули интерфейсов - 4x 10Gb Ethernet, 2x 10Gb Aurora link, системная шина Serial Rapid 10Gb SRIO. Модули контроллеров памяти DDR2 и QDR II. Модули анализа данных - потоковая обработка в каждом канале, FFT, расчет статистики, адаптивное детектирование и определение основных параметров сигналов (центральная частота, мощность, длительность импульсов, ...). Модули передачи обработанных данных в DSP, Модуль передачи данных (в том числе и raw ADC) на систему записи через 4x 10Gb Ethernet с суммарной скоростью записи 3.8 GB/s. Система обработки данных для самолетного локатора бокового обзора с синтезированной апертурой. Построена на базе 2-х модулей (Virtex 4SX35, TMS320C6416), Дизайн FPGA и DSP: модули контроля приемопередатчика, цифрового приемника, формирования LFM, сжатия импульса, определения и коррекции геометрии полета, интерфейс с DSP, LVDS интерфейс для передачи данных между модулями. Системы обработки данных для серии 8мм метеорологических радаров построенные на базе модулей FPGA Spartan6-LX150. Дизайн SOC на базе MicroBlaze CPU, 2-х канальный цифровой приемник, цифровая система АПЧ, согласованный фильтр с восстановлением когерентности, выделение отраженных сигналов, определение их основных параметров, контроллер 1 Gb Ethernet для передачи данных и управления. Бортовой локатор поиска и слежения - (Virtex4 SX35, FX12, TMS320C6416, TMS320C2809). Дизайн FPGA и DSP, MCU модулей: система управления положением антенны, модули управления и защиты приемопередатчика, формирование сигналов ЛЧМ модуляции, цифровой приемник, согласованная фильтрация (сжатие импульса), адаптивная селекция цели на фоне помех, Ethernet интерфейс с управляющим компьютером, программное обеспечение контроллера источника питания Ряд цифровых приемников для радиотелескопа (Virtex4 SX35, Spartan3s400, TMS320C6416). Дизайн FPGA и DSP модулей.